

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-217344

(43)公開日 平成4年(1992)8月7日

(51)Int.Cl.  
H 01 L 21/76  
27/08

識別記号 庁内整理番号  
L 9169-4M  
S 9169-4M  
331 A 7735-4M

F I

技術表示箇所

審査請求 有 請求項の数10(全 8 頁)

(21)出願番号 特願平3-57623

(22)出願日 平成3年(1991)3月1日

(31)優先権主張番号 07/488994

(32)優先日 1990年3月6日

(33)優先権主張国 米国(US)

(71)出願人 590002873  
デジタル イクイメント コーポレイ  
ション  
アメリカ合衆国 マサチューセツ州  
01754メイナード メイン ストリート  
146

(72)発明者 グレゴリー ジエー グルーラ  
アメリカ合衆国 マサチューセツ州  
01508ウォースター カウンティ チャー  
ルトン ブルツクフィールド ロード  
170

(74)代理人 井理士 杉村 晓秀 (外5名)

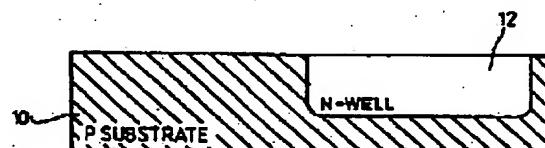
最終頁に続く

(54)【発明の名称】 側壁ドーピングを有するトレンチ絶縁領域の形成方法

(57)【要約書】

【目的】半導体基板内において、ドープ側壁部を有する浅い絶縁トレンチを形成する方法である。

【構成】半導体基板内にほぼ垂直な側壁を有する浅いトレンチ40を形成し、トレンチの底面の一部および側壁上にドープされたシリコン層41を選択的に成長させ、ついで焼純のような適当な方法を用いて、シリコン層からドーパントを基板内に浸透(ドライブイン)させた後、トレンチに誘電物質を充填するものである。



(2)

特開平4-217344

## 【特許請求の範囲】

## 【請求項1】

(a) シリコン ウエハ内にはば垂直な側壁部および底面を有するトレンチを形成するステップを含む所定導電形式ドーパント濃度を有するシリコン ウエハ内に絶縁トレンチを形成する方法において、

(b) トレンチの一方の側壁上および底面の一部上にシリコン ウエハのドーパント濃度より大きい前記導電形式のドーパント濃度を有するシリコン層を選択的に形成するステップと、

(c) ドーパントの一部をシリコン層からシリコン ウエハに移動させるに充分な温度で、充分な時間にわたり該ウエハを焼鈍(アンニール)するステップと、

(d) トレンチを誘電体物質で充填するステップと、を含むことを特徴とする側壁ドーピングを有するトレンチ絶縁領域の形成方法。

## 【請求項2】

(a) ほぼ垂直な平行側壁およびその間に位置する底面を有し、該底面の一部および少なくとも1つの壁部がシリコン基板内およびN形ドーピング剤濃度の井戸内に位置するようなトレンチをシリコン ウエハ内に形成するステップを含む所定量のP形ドーパント濃度を有するP形シリコン基板とN形ドーパント濃度の井戸(ウエル)内に絶縁トレンチを形成する方法において、

(b) P形シリコン基板内に位置するトレンチの底面および壁部上にシリコン基板のP形ドーパント濃度より大きいP形ドーパント濃度を有するシリコン層を形成するステップと、

(c) ドーパントをシリコン層からトレンチの壁部および底面に移動させるためP形シリコン基板を焼成するステップと、

(d) トレンチを誘電体物質で充填するステップと、を含むことを特徴とするトレンチ絶縁領域の形成方法。

【請求項3】 該トレンチを約5000オングストロームの深さとし、かつ5000～10,000オングストローム間の幅としたことを特徴とする請求項2記載の方法。

【請求項4】 該シリコン層を400～500オングストロームの厚みのエピタキシャル層としたことを特徴とする請求項3記載の方法。

【請求項5】 該シリコン層を400～500オングストローム間の厚みのポリシリコン層としたことを特徴とする請求項2記載の方法。

【請求項6】 ほぼ垂直な壁部を有する第2導電形式の井戸(ウエル)を含む第1導電形式シリコン基板上にCMOSデバイスを製造する方法において、

(a) ほぼ垂直な壁部および該壁部を隔離する底面を有し、かつ基板内の第1活性領域を井戸内の第2活性領域から隔離する機能を有するトレンチを形成するステップと、

(b) トレンチ内にトレンチ コーナを丸める機能を有

10

し、シリコン基板の濃度より大きい第1導電形式濃度を有する第1導電形式のシリコン層を選択的に形成するステップと、

(c) 第1導電形式の不純物をシリコン層から基板に移動させるに充分な温度で充分な時間にわたり該基板を焼成するステップと、

(d) 該トレンチを誘電体物質で充填するステップと、

(e) 第2活性領域に第1導電形式チャネルを形成し、第1活性領域に第2導電形式チャネルを形成するステップと、を含むことを特徴とするCMOSデバイス形成方法。

## 【請求項7】

(a) ほぼ垂直な壁部を有し、かつP形シリコン基板内の第2活性領域をN形井戸内の第1活性領域から隔離するよう機能する5000～7000オングストローム間の深さと5000～10,000オングストローム間の幅の絶縁トレンチを形成するステップと、

(b) 該トレンチ内にP形シリコン基板より大きいP形濃度を有する400～500オングストローム間の厚みのP形シリコン層を選択的に形成するステップと、を含むことを特徴とするN形井戸を含むP形シリコン基板内にNチャネルトランジスタおよびPチャネルトランジスタを有する請求項6記載のCMOSデバイス形成方法。

【請求項8】 所定量のP形ドーパント濃度を有するシリコン基板内に絶縁トレンチを形成する方法において、

(a) シリコン基板内にほぼ垂直な壁部および該壁部を隔離するほぼ平坦な底部領域を有するトレンチを形成するステップと、

(b) 該トレンチの底部領域および壁部の選択された部分上に酸化物層を形成するステップと、

(c) シリコン基板を無水塩化水素(HCl)ガスに曝した後、所定温度で所定時間の間、HClに水素中のジボランおよびジクロロシランの混合物を付加して、所定の厚みのシリコン層を選択的に成長させ、該ジボランによりシリコン基板のP形ドーパント濃度より大きいP形不純物濃度でシリコン層をドーピングするステップと、

(d) 若干のP形ドーパント濃度をシリコン層からシリコン基板に駆動するステップと、

(e) 浅いトレンチを有するブレーナ形シリコン基板表面を得るためトレンチを酸化物で充填するステップとを含むことを特徴とするトレンチ絶縁領域形成方法。

【請求項9】 トレンチの幅を5000～10,000オングストロームの間深さを約5000オングストロームとし、該シリコン層の厚みを500オングストロームより小としたことを特徴とする請求項7記載の方法。

【請求項10】 ステップ(c)における温度および時間をそれぞれ約950℃、および約30秒としたことを特徴とする請求項8記載の方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は浅い半導体デバイス絶縁

(3)

特開平4-217344

3

トレンチの形成方法に関するものである。

【0002】

【従来の技術】高密度メモリ製品、例えばダイナミックランダム アクセス メモリのような半導体集積回路デバイス、特に超LSI（“VLSI”）回路の分野ではその稠密度、すなわち所定領域内のトランジスタの数がますます増大する傾向にあり、これらの製品は絶えずより小さいトランジスタを必要としている。また、高密度VLSIにおいては、隣接するトランジスタを電気的に絶縁することが必要で、隣接するトランジスタおよび絶縁を必要とする他のデバイスを絶縁するには、通常二酸化シリコンのような誘電材料を充填した絶縁トレンチが現在使用されている。VLSIの技術の現況では最小の特性サイズはサブミクロンのレベルに到達しており、したがって、絶縁トレンチができる限り小さく、かつ確実に形成することが特に望まれている。

【0003】高信頼度のサブ ミクロン絶縁トレンチを得るために一手段として浅いトレンチ絶縁が提案されている。CMOS技術において、トレンチ絶縁を使用して適当なNチャネルMOSFETの作動を得るに当たっての固有の難点はトレンチ側壁に沿う導電性の制御の可能性である。トレンチ上部、もしくはトレンチ底部に比しトレンチ側壁上のドーピング濃度を高くした場合は寄生的（parasitic）縁部トランジスタのスレショールド電圧を増加させることにより、通常早期のトランジスタ ターン オンを抑制することができる。

【0004】CMOS技術においては、一般に、その中にN形井戸（N-well）を含むP形基板が使用されており、P形基板内にNMOSFETを形成し、N形井戸内にPMOSFETを形成している。CMOSデバイスにおいては、NMOSFETおよびPMOSFETはP形基板とN形井戸を絶縁する浅いトレンチにより相互に絶縁し、同様に絶縁トレンチにより同一基板上でNMOSFETからNMOSFETをPMOSFETからPMOSFETを絶縁するようにしているが、使用される任意の側壁ドーパント（ドーピング剤）はN形壁部内にあるトレンチの部分には存在しないようにしなければならない。MOSFETの幅の寸法を限定する2つのトレンチ側壁は、通常のブレーナ トランジスタと電気的に並列に接続された寄生トランジスタとしても作動し、NMOSFETの場合、これらの寄生側壁トランジスタはブレーナ形トランジスタより低いスレショールド電圧（V<sub>T</sub>）を有する。このV<sub>T</sub>

の差は不都合なPドーパント（通常はボロン）の凝離定数（segregation constant）、もしくはシリコン基板および二酸化シリコン側壁インタフェースに生成される高い固定正電荷による。前記ファクタは表面のP形ドーピング剤濃度をトレンチ酸化ステップの間その大きな値以下に低下させる働きをする。PMOSFETに対しては、側壁寄生デバイスは、高い固定正電荷の結果としてブレーナ形デバイスより高いV<sub>T</sub>（より大きい負の値）を有し、焼の好都合な凝離定数がスレショールド電圧を増加

10

4

させるよう機能する。

【0005】側壁ドーピングのない形状は、V<sub>T</sub>以下のゲート電圧でデバイスされたとき、NMOSFETのオフ状態を混乱（upset）させる。寄生側壁トランジスタの低いV<sub>T</sub>の値はこのオフ状態にソース端子からドレイン端子に不所望の過電流が流れることを可能にする並列導電路を与える。この問題を緩和するためには、寄生側壁NMOSFETのV<sub>T</sub>を増加させる必要があり、これを達成する実際的手段はなんらかの手段を用いてトレンチ側壁をP形ドーパントでドープすることである。

20

【0006】トランジスタ オフ電流のレベルはダイナミック デザインを含む回路において特に重要であり、側壁ドーピングを含む場合は、オフ電流漏洩のレベルを2オーダーの大きさ（2桁）だけ減少させることができる。さらに、側壁ドーピングは浅いトレンチ絶縁において、しばしば観察されるスレショールド電圧の逆細幅特性（inverse narrow width behavior）を抑制するのに有効である。

20

【0007】また、トレンチ縁部（トレンチ コーナ）の形状も薄いゲート オキサイドの信頼性に関係を有する。これらのコーナにおけるオキサイドの薄さもしくは電界の強さを最小にするには丸味のある活性領域コーナが望まれる。これらの現象の双方は狭いトレンチ絶縁により造成されるトランジスタの高いオキサイド漏洩電流に寄与する。トレンチ コーナの丸味づけは通常付加的熱酸化ステップにより行われるが、本発明においては、任意の付加的酸化ステップなしに所望の大きさの丸味を得ることを可能にする。

30

【0008】前述の理由にため、半導体デバイスの製造技術においては、浅いトレンチを製作することが特に望まれておらず、浅いトレンチに対する種々のトレンチ側壁ドーピング方法が提案されているが、これらの方法の各々は特殊な装置を要することにより製造コストの増大あるいはドーパントの制御の可能性に關し難点を有する。

30

例えば、IEEE トランザクション エレクトロン デバイス（IEEE Transaction Electron Devices）、1987年2月、に掲載のフセ（Fuse）ほかによる論文“細幅効果を制御するためのボロン注入側壁による新しい絶縁方法（A New Isolation Method with Boron Implanted Si sidewalls for Controlling Narrow Width Effect）”には大傾斜角のイオン ビームを使用した注入トレンチ側壁につき記載されているが、商用に供されている注入機械の場合は通常イオン チャンネリング（ion channeling）を減らすため、シリコン ウエハ表面に入射するビーム角を5～9度にプリセットしているため、大傾斜角を実現するのは容易ではない。この小さいビーム角でなされる垂直トレンチ側壁の注入はトレンチ側壁のより低い部分のみしかドーパントを受容しないという結果をもたらす。また、対称的なデバイス特性を確保するため、トレンチの4つのすべての側に所望の角度で注入するよ

(4)

特開平4-217344

5

うにしなければならぬ、ウエハを三度回転させることが必要となり、製造期間中の生産量の低下をきたす。また最近は傾斜角を変えられるイオン注入機が商用に供されるようになっているが、それらは従来の固定傾斜角イオン注入機に比し高価であり、トレンチ側壁のような領域へのイオン注入中にウエハの回転または再位置決めを必要とする。また、IEDM Technical Digest (IE DM Technical Digest) 、1983年に記載のシバタ (Shibata) ほかによる論文“メガビット ダイナミックスメモリの簡単なBOX 絶縁技術 (A Simplified Box (Buried-d-Oxide) Isolation Technology of Megabit Dynamic Memories)”においては、一般的の低入射角のイオンビームがトレンチ側壁の大部分に注入することを許容するような先細 (テーパ状) のトレンチ側壁プロファイルを使用しているが、テーパ状トレンチ側壁を使用するときは、後続のレジスト蝕刻処理ステップの間両立しうるようなトレンチ効果を保持することは困難であり、さらに幅の狭いトレンチを可能にし、したがって密度を向上させうるような垂直なトレンチ側壁が所望される。

【0009】CVD ドープされたオキサイドもしくはドープされたポリシリコンからの拡散が全体のトレンチ側壁をドープする方法で、フィルムはボロシリケートガラス (boro-silicate glass; BSG) またはボロン ドープト ポリシリコンのいずれかとすることができます。フィルムはウエハの全表面すなわちトレンチ底面および側壁上にデポジットし、通常一般的なレジスト パターンニング／エッチを用いてドーピングを所望しない場所から除去する必要がある。ドーパントをトレンチ側壁へ転移させる熱処理の後は、通常の処理が続けられるよう再度拡散源を除去する。ドープト オキサイド拡散源の場合には、酸化物内の精細なドーパントの制御は、駆動 (ドライブ イン) 後のシリコン表面のドーピング濃度を制御するには臨界的である。この制御の度合いは一般的の酸化物の低圧化学的蒸着 (LPCVD) では達成できないことが多い。

【0010】また、ドープしたポリシリコン ソースからの拡散は駆動 (ドランプ イン) 後にポリシリコンを除去するに当たり困難をともなう。それは単結晶シリコンウエハ内に形成したトレンチ上にポリシリコンを直接デポジットするようにしているため、結晶シリコンを除去することなしにポリシリコンを除去するには複雑な化学的エッティング剤を必要とすることによる。

【0011】また、電子サイクロトロン共振プラズマを用いたドーピング方法も使用されているが、装置の入手の困難性や実現コストの高さのため、現在では非実用的なものと考えられている。

【0012】

【発明が解決しようとする課題】本発明はトレンチ側壁および底面上に適当にドープしたシリコン (ポリシリコンまたはエピタキシャル) 層を選択的に形成させて所望

10

20

30

40

50

6

のドーピングを与えることでドーピング側壁を有する浅い絶縁トレンチ形成方法を与えることにより、従来の技術による種々の欠点を解消させようとするものである。また、この場合、トレンチの酸化、ウエハのエッチバックおよび誘電体物質の充填ならびにNチャネルおよびPチャネルMOSFETの形成は一般の方法により行うようにしている。

【0013】

【課題を解決するための手段】上述の目的を達成するため、本発明では、

- (a) シリコン ウエハ内にほぼ垂直な側壁部および底面を有するトレンチを形成するステップを含む所定導電形式ドーパント濃度を有するシリコン ウエハ内に絶縁トレンチを形成する方法において、
- (b) トレンチの一方の該側壁上および側底面の一部上に該シリコン ウエハのドーパント濃度より大きい該導電形式ドーパント濃度を有するシリコン層を選択的に形成するステップと、
- (c) ドーパントの一部をシリコン層からシリコン ウエハに移動 (ドライブ イン) させるに充分な温度で、充分な時間にわたり該ウエハを焼鍊するステップと、
- (d) 該トレンチを誘電体物質で充填するステップとを含むことを特徴としている。

【0014】

【実施例】以下図面により本発明に係る側壁ドーピングを有する浅いトレンチ絶縁領域の形成方法につき説明する。

【0015】現在大多数のVLSI (超LSI) はP形基板上に形成するのが通例であるので、単一結晶P形シリコン ウエハまたは基板上にCMOSデバイスを形成することの関連で本発明方法を説明することにするが、ここに記載の方法はN形基板を使用する場合にも同じく適用可能であること明らかであり、またこの方法はCMOSデバイスの製造に限定されるものでないことも当然である。

【0016】CMOSデバイスはNチャネルおよびPチャネルMOSFETまたはトランジスタを含む。半導体デバイスの製造技術においては、P形ウエハ上にCMOSデバイスを形成し、究極的にPチャネル トランジスタを形成するP形ウエハまたは基板内にN形井戸 (N-wells) を形成させることはよく知られている。図1はその上にN形井戸12を形成したP形ウエハ10を示す。CMOSプロセスの絶縁トレンチ部分はP形シリコン ウエハ内にN形井戸を形成した後始まる。

【0017】図2において、次のステップはパッドまたは初期酸化物14を成長させることである。初期酸化物14は約225 オングストロームの厚さまで熱成長させる。次に、800～850 °Cの化学的蒸着 (CVD) によりパッド酸化物14上に約1800オングストロームの厚みの窒化珪素16を堆積 (デポジット) させる。ついで、活性領域、すなわち、PチャネルまたはNチャネル トランジスタを形

(5)

特開平4-217344

7

成すべき領域をフォトレジスト18でマスクし、フィールド領域すなわちトレーニングを形成すべき領域またはトランジスタを形成しない領域をクリアのままする。

【0018】次に図3に示すようにフィールド領域を異方的(anisotropically)にエッティング(蝕刻)を施して、基板内にトレーニング20を形成する。標準的絶縁チャネルは垂直な壁部を有する方形形状を呈し、それはNチャネルトランジスタを隣接するPチャネルトランジスタから隔離し、また同じ形式のトランジスタからも隔離する。窒化物16、酸化物14およびシリコン10をエッティングして所望の垂直壁部21を有する浅いトレーニング20を形成するには、通常塩素およびフレオン(freon)を基とするプラズマを使用する。窒化物および酸化物膜(フィルム)はSF<sub>6</sub> / O<sub>2</sub> / He化学物質(chemistry)を用いて、200ミリトルルおよび200ワットで大部分のパッド酸化物が取除かれるまでフィールド領域からエッチ(etch)する可とする。オーバーエッチプロセスは任意の残留酸化物をフィールド領域から取除くために使用される。浅いトレーニング20はCl<sub>2</sub> / CF<sub>4</sub> / O<sub>2</sub>またはCl<sub>2</sub> / CHF<sub>3</sub> / O<sub>2</sub> / Heプラズマにより200ミリトルル、450ワット、13.56MHzあるいは200ワット、100KHz rf電力で、標準的には5000~7500間のオングストロームの所望の深さのトレーニングを与えるに充分な時間にわたりエッチする可とする。この方法により85°~90°のプロフィール(縦断面)を有する垂直トレーニング側壁を得ることができる。図3は垂直側壁21を有するトレーニング20を含むシリコンウエハの断面を示す。

【0019】図3および図4において、活性領域からレジスト18を取除き、このレジストの除去後、図4に示すように、150~450オングストロームの厚みの薄い阻止酸化物(ブロッカー)14Aをトレーニング底部23およびトレーニング側壁21上に熱的に成長させる。次に、図5において、阻止酸化物14AをPチャネル活性領域のオーバーサイズであるレジストマスク26でパターン化し、次で湿式または乾式酸化物エッティングプロセスを用いて阻止酸化物14Aの露出部分をエッチする。図6は、阻止酸化物14Aの露出部分を除去またはエッティングした後のデバイスの断面を示す。阻止酸化物(ブロッカー)14Aの機能はN形井戸フィールド領域内のトレーニングの一部を後述の選択的シリコン成長からマスクすることである。また、シリコントレーニング20の酸化は前のエッティングにより生ずる任意の損傷を焼成し、シリコン表面の結晶性を復元する。レジスト26は次の選択的シリコン成長のステップ前にこれを取り除く。かくして得られる構造の断面を図7に示す。

【0020】選択的シリコンデポジションを行う前のウエハの準備には50:1のH<sub>2</sub>O:HF溶液中にウエハを浸してすべての固有(native)の酸化物を取除き、約1000°Cの温度で約5分間その位置で(in-situ)ウエハを焼成するステップが含まれる。次に図8において、図7

8

に示す構造のトレーニングの露出壁部および底部28上に400~500オングストロームの厚みのきわめて薄いシリコン層30が成長させる。シリコン層30は通常単結晶シリコン

ウエハと同じオリエンテーション(方向)に成長せらるるにし、したがってシリコン基板の一部となつてゐるが、その代わりとしてポリシリコン層を成長させることもできる。図7に示すウエハは、選択的シリコン層30を成長させるため、シリコン反応器内に位置させる。このような反応器(リアクタ)は商用に供されており、その使用は公知である。ウエハは水素ガス雰囲気内において約1000°Cで約5分間加熱する。無水塩化水素(HCl)はその反応室への導入前に反応器(リアクタ)を介して除去する。HClを反応チャンバーに導入して短時間(2ないし5秒)経過後、シリコン源(ソース)としてのジクロロシラン(DCS)とP形ドーパントとしての水素内の希釈ジボラン(B<sub>2</sub>H<sub>6</sub>)の混合物を反応チャンバー内に導入する。この場合、HClの使用が極めて重要である。これはシリコンの成長メカニズムの力学的作用(kinetics)は、DCSへのHClの付加により、露出シリコン28の面上のみにおけるシリコン層の原子化(ニュークリエーション-nucleation)が許容されるからである。また、DCSおよびB<sub>2</sub>H<sub>6</sub>ガスを導入する前のHClガスの導入はシリコン原子のニュークリエーションを遅らせ、かくしてシリコン層の成長を制御する働きをする。この方法により、適当にドープした400~500オングストロームの厚みのシリコン層を約20~30秒で成長させることができ。DCSおよびB<sub>2</sub>H<sub>6</sub>ガスの導入前にHClガスを導入しない場合は400~500オングストロームの厚みのシリコン層が約10秒で成長可能で、これは通常、すべてのガスをシリコン反応器内で安定化するのに必要な時間に匹敵し、それはこのような短時間に均一なシリコン層を成長させることを困難にする。しかし、蒸着(デポジション)温度を低くした場合、これは非臨界的となる。

【0021】次に、図9において、トレーニング酸化物32を熱的に成長させる。これは標準的に約500オングストロームの厚みを有するが、200~1000オングストロームの範囲の厚みとすることができる。トレーニング側壁および底面の熱的酸化は良好な電気的完全さを有する高品質のシリコン/二酸化シリコンインターフェースを生ずる。時間および温度は、図10の符号数字41で示すようなトレーニング側壁およびトレーニング底部内に選択的シリコン層からボロンを移動(ドランプイン)させうるよう酸化物の実際の成長前に調整することができ、これはウエハへのボロンの移動に対し別のステップを使用することを回避させる。図9はシリコン層30の上部にのみ酸化物層32を成長させた状況を示しているが、酸化物の厚みにより、選択的シリコン層を酸化期間中にすべて消費させることもできる。次に、全ウエハにわたってコンフォーマルCVD酸化物34を堆積させる。一般に酸化物(オキサイド)は675~750°Cの温度、300~700ミリトルルの気圧で液

(6)

特開平4-217344

9

体源からデポジットされる。CVD オキサイド34の厚みはシリコン トレンチの深さ、パッド オキサイド14および窒化物層16の和にはほぼ等しい。このオキサイドのコンフォーマリティ (等角性) はサブミクロン トレンチ内における無効な形成物を防止するため臨界的なものとする。酸化物34は包埋酸素内において約1000°Cの温度で濃縮化 (densify) した後、窒素焼純 (nitrogenanneal) を行う。

【0022】図9に示すようにトレンチをコンフォーマルCVDで充填した後は、それらの領域内にトランジスタが形成されるよう全活性領域24から酸化物を取除く必要があり、これを達成するには、ウエハをホトレジストで全体的に平板化 (プレーナライズ) した後、ホトレジストおよびCVD 酸化物34を同時にエッチバック (etchback) する必要がある。このエッチバックは通常リアクティブ イオン エッティングにより行われる。熱酸化期間中に全シリコン層が消費され、P形不純物、すなわち、ボロンが基板内に駆動 (ドライブ イン) された後、得られる構造を図10に示す。この場合、ウエハは選択的にドープされた側壁および底部41を有する良好に限定された浅いトレンチ40を有する。

【0023】CMOSデバイスを製作するためには、図11に示すように、それぞれ活性領域60および62内にNチャネルおよびPチャネルトランジスタを形成させる。これは任意の利用可能な方法により行うことができる。Nチャネル トランジスタを形成するには、活性領域60上に薄いゲート酸化物層46を形成し、ついで、ゲート酸化物層46の一部上にポリシリコン ゲート48を形成させ、活性領域60へのイオン注入により離隔したn形ソース42およびドレイン44を形成させる。また、Pチャネル トランジスタはN形井戸内に含まれる活性領域62に形成するようとする。符号数字50および52はそれぞれP形ソースおよびドレインを表わし、符号数字54および56はそれぞれPチャネル トランジスタの酸化物層およびポリシリコン ゲートを表わす。

【0024】上述の好適実施例においては、例えば、温度、チャネルの幅および深さ、種々の層の厚み、電力定格、圧力定格などのような種々のパラメータの特定値および特定の化学的混合物を使用しているが、これらの化学混合物およびパラメータ値は本発明をより明確に説明するための例示のみを目的としたもので、これらの値に本発明が限定されるものと解釈すべきでない。また、本発明は本明細書記載の実施例に限定されるものでなく、本発明は他の変形をも包含するものである。

10

10

【図面の簡単な説明】

【図1】N形井戸を含むP形シリコン基板の一部の断面図、

【図2】酸化物層および窒化物層を形成し、かつ活性領域をマスクした後の図1の構造を示す断面図、

【図3】シリコン基板内にトレンチを形成した後の図2の構造を示す断面図、

【図4】トレンチ内に酸化物層を形成した後の図3の構造を示す断面図、

【図5】トレンチのある部分をレジストによりマスクした後の図4の構造を示す断面図、

【図6】シリコン層を形成すべきトレンチの部分から酸化物を取除いた後の図5の構造を示す断面図、

【図7】レジストを取除いた後の図6の構造を示す断面図、

【図8】トレンチ内にシリコン層を選択的に形成した後の図7の構造を示す断面図、

【図9】シリコン層上に酸化物薄層を形成し、トレンチを酸化物で充填した後の図8の構造を示す断面図、

【図10】浅い絶縁チャネルの形成された基板を生成するため図9の構造をプレーナ化し、エッチ バックした後の構造を示す断面図、

【図11】NチャネルおよびPチャネルMOSFETを形成した後の図10の構造を示す断面図。

【符号の説明】

10 P形ウエハ (または基板)

12 N形井戸

14 パッドまたは初期酸化層

14A 酸化プロック

16 窒化物層

18 フォトレジスト

20, 40 トレンチ

21 側壁部

24 活性層

26 レジスト マスク

28, 41 側壁部および底部

30 シリコン層

32 トレンチ オキサイド

34 CVD オキサイド

40 42, 50 ソース

44, 52 ドレイン

46 ゲート オキサイド層

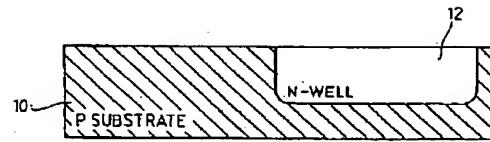
48, 56 ポリシリコン ゲート

54 オキサイド層

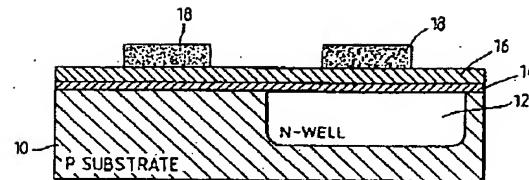
(7)

特開平4-217344

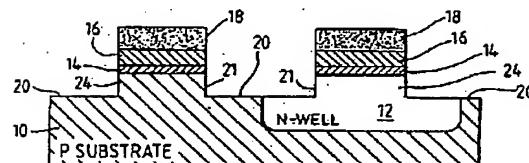
【図1】



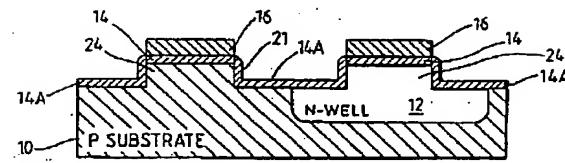
【図2】



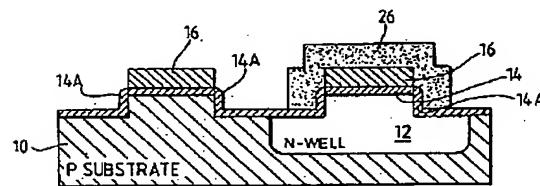
【図3】



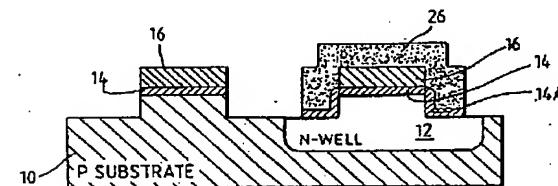
【図4】



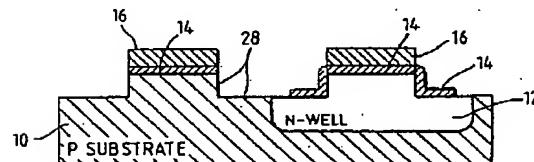
【図5】



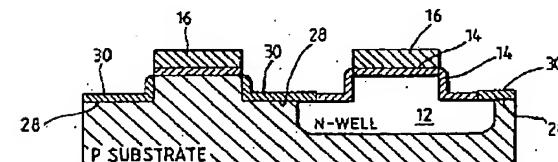
【図6】



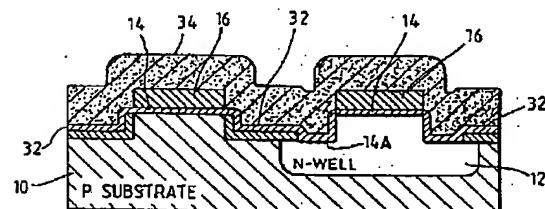
【図7】



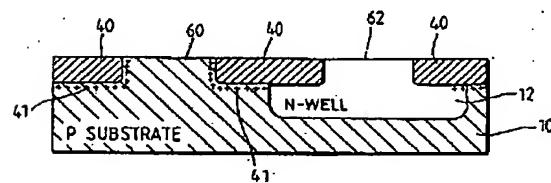
【図8】



【図9】



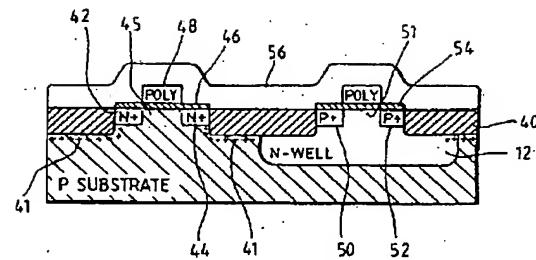
【図10】



(8)

特開平4-217344

[図11]



フロントページの続き

(72)発明者 ウォルター シー メツツ  
アメリカ合衆国 マサチューセツツ州  
01545ウスター カウンティ シュレウ  
スペリー ミニュツトマン ウエイ 11

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**